

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

Semiconductor devicePatent Number: ☐ US6211576

Publication

date: 2001-04-03

Inventor(s): MIURA HIDEO (JP); TANAKA HIDEKI (JP);
MIYAMOTO TOSHIO (JP); NISHIMURA ASAO (JP);
SHIMIZU HIROYA (JP)

Applicant(s): HITACHI LTD (US)

Requested

Patent: ☐ JP2000100814

Application

Number: US19990397853 19990917

Priority Number

(s): JP19980264300 19980918

IPC

Classification: H01L23/48; H01L29/52; H01L29/40

EC

Classification: H01L23/66, H01L23/50, H01L23/64L

Equivalents: CN1250227, KR2000023242, SG76632, TW434654

Abstract

A semiconductor device is provided which is highly reliable and operable at fast speed and low noises. In this semiconductor device, there are provided a power wiring section 1003a, a ground wiring section 1003b and a signal wiring section 1003c are formed on one level. The power wiring section or the ground wiring section is formed adjacently on both sides of at least one part of the signal wiring section

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-100814
(P2000-100814A)

(43) 公開日 平成12年4月7日 (2000. 4. 7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	Z 5 F 0 3 3
21/60		21/92	6 0 2 Z 5 F 0 3 8
27/04			6 0 2 N
21/822		27/04	E
			D
審査請求 未請求 請求項の数11 O L (全 15 頁)			

(21) 出願番号 特願平10-264300

(22) 出願日 平成10年9月18日 (1998. 9. 18)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 清水 浩也

茨城県土浦市神立町502番地 株式会社日

立製作所機械研究所内

(72) 発明者 西村 朝雄

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業本部内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

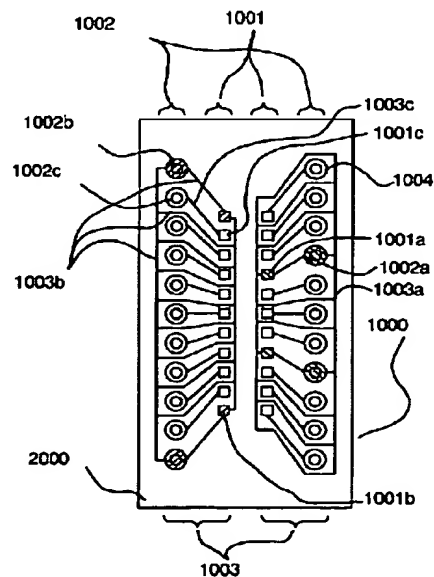
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】信頼性が高く、低ノイズで高速動作可能な半導体装置を提供する。

【解決手段】電源配線1003aとグランド配線1003bと信号配線1003cを、同一の面内に形成し、信号配線の少なくとも一部分の両側に隣接して電源配線かまたはグランド配線を形成する。

図 1



【特許請求の範囲】

【請求項1】 電源電位を供給するための電源パッドと、グランド電位を供給するためのグランドパッドと、信号を入出力するための信号パッドとが一主面に形成された半導体素子と、前記電源パッドと電源配線で接続された外部接続用の電源バンパと、前記グランドパッドとグランド配線で接続された外部接続用のグランドバンパと、前記信号パッドと信号配線で接続された外部接続用の信号バンパとを備えた半導体装置において、前記信号配線の両側には前記電源配線または前記グランド配線が隣接して配設されていることを特徴とする半導体装置。

【請求項2】 半導体素子の一主面側に形成された複数のパッドと、複数のバンパと、前記パッドと前記バンパを接続する複数の配線を備えた半導体装置において、前記複数のパッドは、電源パッドとグランドパッドと信号パッドからなり、前記複数のバンパは、電源バンパとグランドバンパと信号バンパからなり、前記複数の配線は、電源配線とグランド配線と信号配線からなり、前記信号配線の少なくとも一部分の両側に隣接して前記電源配線または前記グランド配線が形成されていることを特徴とする半導体装置。

【請求項3】 請求項1または2において、前記グランド配線と前記信号配線とはいずれも前記半導体素子の一主面に形成された数Nの層を介して配設されていることを特徴とする半導体装置。

【請求項4】 請求項1または2において、前記電源配線と前記グランド配線と前記信号配線とはいずれも前記半導体素子の一主面に形成された数Nの層を介して配設されていることを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれかにおいて、前記電源配線の幅及び前記グランド配線の幅が前記信号配線の幅よりも広いことを特徴とする半導体装置。

【請求項6】 請求項5において、前記半導体素子の一主面の外周側領域を覆うように前記電源配線または前記グランド配線が配設されていることを特徴とする半導体装置。

【請求項7】 電源電位を供給するための電源パッドと、グランド電位を供給するためのグランドパッドと、信号を入出力するための信号パッドとが一主面に形成された半導体素子と、前記電源パッドと電源配線で接続された外部接続用の電源バンパと、前記グランドパッドとグランド配線で接続された外部接続用のグランドバンパと、前記信号パッドと信号配線で接続された外部接続用の信号バンパとを備えた半導体装置において、前記電源配線の幅及び前記グランド配線の幅は前記信号配線の幅よりも広く、前記半導体素子の一主面の外周側領域を覆うように前記電源配線または前記グランド配線が配設されていることを特徴とする半導体装置。

【請求項8】 電源電位を供給するための電源パッドと、グランド電位を供給するためのグランドパッドと、

信号を入出力するための信号パッドとが一主面に形成された半導体素子と、前記電源パッドと電源配線で接続された外部接続用の電源バンパと、前記グランドパッドとグランド配線で接続された外部接続用のグランドバンパと、前記信号パッドと信号配線で接続された外部接続用の信号バンパとを備えた半導体装置において、前記半導体素子の一主面の中央部には、前記半導体素子の外縁部の一辺に沿う方向に1つの前記電源パッド、1つの前記グランドパッド、1つの前記信号パッドという順序の繰り返しでパッドが配設されたパッド列があり、前記1つの電源パッドは前記パッド列の両側に配設された少なくとも2個の前記電源バンパと前記電源配線により接続され、前記1つのグランドパッドは前記パッド列の両側に配設された少なくとも2個の前記グランドバンパと前記グランド配線により接続され、前記1つの信号パッドは前記パッド列の両側のいずれかに配設された前記1つの信号パッドと前記信号配線により接続されていることを特徴とする半導体装置。

【請求項9】 電源電位を供給するための電源パッドと、グランド電位を供給するためのグランドパッドと、信号を入出力するための信号パッドとが一主面に形成された半導体素子と、前記電源パッドと電源配線で接続された外部接続用の電源バンパと、前記グランドパッドとグランド配線で接続された外部接続用のグランドバンパと、前記信号パッドと信号配線で接続された外部接続用の信号バンパとを備えた半導体装置において、前記半導体素子の一主面の中央部には、前記半導体素子の外縁部の一辺に沿う方向に1つの前記電源パッド、1つの前記グランドパッド、2つ以上の前記信号パッドという順序の繰り返しでパッドが配設されたパッド列があり、前記1つの電源パッドは前記パッド列の両側に配設された少なくとも2個の前記電源バンパと前記電源配線により接続され、前記1つのグランドパッドは前記パッド列の両側に配設された少なくとも2個の前記グランドバンパと前記グランド配線により接続され、前記2つ以上の信号パッドの各々は前記パッド列の両側に配設された前記信号パッドと1対1で前記信号配線により接続されており、前記信号配線は、前記パッド列の両側に交互にのびていることを特徴とする半導体装置。

【請求項10】 請求項8または9において、前記電源配線と前記グランド配線と前記信号配線とはいずれも前記半導体素子の一主面に形成された数Nの層を介して配設されており、前記電源配線の幅及び前記グランド配線の幅が前記信号配線の幅よりも広いことを特徴とする半導体装置。

【請求項11】 請求項8または9において、前記信号パッドは、データ、クロック、ライトイネーブル、データマスクの内の何れか1種類または2種類以上の任意の組み合わせであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子のパッドと外部接続用のバンプとを配線で接続した半導体装置に係り、特に、数百MHz以上のクロック周波数での低ノイズ動作を可能にした半導体装置に関するものである。

【0002】

【従来の技術】近年、半導体装置はその高密度、高集積、低価格及び高速化に対する要求が増加している。このため、例えば特開平8-250498号公報等に代表されるように、半導体素子のパッド形成面に、パッドに導通する配線とバンプを形成した半導体装置が考案されている。図17に示すように、このような技術によれば、複数のパッドを有する半導体素子のパッド形成面に、これらのパッドの内の一つに導通する配線部を複数形成し、この配線部の所定の位置にバンプを形成したため、この所定の位置をあらかじめ設定しておくことによりパッドの位置や間隔に制限されることなくバンプが任意の間隔で形成できることになる。このため、半導体装置の外形寸法は、ほぼ半導体素子を搭載したチップの寸法と同等となり、高密度、高集積化及び低価格化が可能になった。

【0003】また、LSIチップの電源ノイズを低減し、高速化を図るために、例えば特開平6-163822号公報などにあるように、チップ表面の信号用電極パッドを除いた概略全面に面状の電源配線パターンを形成するものがある。図18に示す本技術により、面状の電源面から直下の回路素子へ直接電源が供給されることにより、インダクタンスが低減し、電源ノイズが低減できるので、結果的に半導体装置の高速動作が可能になる。

【0004】

【発明が解決しようとする課題】このように、半導体素子のパッド形成面に、パッド、バンプ、配線を形成することにより、高密度、高集積、低価格化が可能であるが、この半導体装置には、高速化という課題が残る。

【0005】例えば、200MHzのクロック周波数で電源電圧3.3Vの半導体装置が動作する場合には、概略、クロック周期5nsの10%の時間500psで信号電圧がハイ状態（電源電圧）からロウ状態（グランド電圧）に切り替わる必要がある。このときの負荷容量が概略10pFであるとする、これに蓄積される電荷は、 $10\text{pF} \times 3.3\text{V}$ より33pCである。切り替わりに際して流れる電流は、この電荷の時間微分で表され、 $33\text{pC} / 500\text{ps}$ より0.066Aとなる。このような信号の切り替わりに際し流れる過渡電流は、例えばE. E. Davidsonら著、IBM J. Res. Dev. May 1982, vol. 26に記載があるように、配線系のインダクタンスによりノイズ電圧を生じさせ、半導体装置の誤動作を引き起こすことが知られている。このノイズ電圧は、インダクタンスと過渡電

流の時間変化率で表すことができ、例えば、半導体装置の1本のリードインダクタンスを10nHと仮定すると、 $10\text{nH} \times 0.066\text{A} / 500\text{ps}$ より、1本当たり約1.3Vのノイズ電圧が生じることになる。このようなノイズが電源、グランドまたは信号線に生じると、本来のハイまたはロウの状態を誤って読み取り、誤動作が生じてしまうことになる。このノイズは上述したように、概略動作速度つまり動作周波数に比例するため、これを低減しようとする、高速化という課題に答えることができない。従って、高速化を達成するためには、ノイズを決定する別のパラメータである半導体装置の配線系のインダクタンスを低減する必要がある。

【0006】先に挙げた特開平8-250498号公報の半導体装置の例では、パッド形成面にパッド、バンプ、配線を形成することにより、従来の表面実装型半導体装置に比べ小型の半導体装置を提供する事ができる。このため、配線系のインダクタンスも従来の表面実装型半導体装置に比べ低減することができているはずである。しかし、一般に数mmの長さの導体は概略数nHのインダクタンスを持つことを考えると、昨今の高速化が進んだ各種のシステム内では、先の半導体装置もなお十分な低インダクタンス化を達成したとは言い難い。

【0007】また、特開平6-163822号公報に示す半導体装置では、後述するように、電源配線側のインダクタンス低減には考慮してあるが、グランド配線側のインダクタンス低減に関しては考慮されておらず、従って、グランド配線側に生じるノイズは低減することができない。また、チップ表面には、パッドが散らばっており、また、本チップをバンプなどにより実装基板に実装する際には、バンプも散らばることになるので、容易には面状の導体層を形成することはできない。

【0008】本願発明は、上記問題点に鑑み、製造工程を複雑にすることなく、また、高密度、高集積、低価格等の要求を満足しつつ、数百MHz以上のクロック周波数での低ノイズの動作を可能にするため、配線系のインダクタンスを低減した半導体装置を提供することを目的とする。またその際には、電源配線側のみならずグランド配線側に生じるノイズについてもこれを低減するとともに、パッド、バンプがチップ表面に存在するために、配線系のインダクタンス低減が困難である一般的な場合においてその解決方法を提供する。

【0009】

【課題を解決するための手段】上記目的を達成するために、本願発明の半導体装置は、以下の構成を有することを特徴とする。

【0010】(1)：電源電位を供給するための電源パッドと、グランド電位を供給するためのグランドパッドと、信号を入出力するための信号パッドとが一主面に形成された半導体素子と、前記電源パッドと電源配線で接続された外部接続用の電源バンプと、前記グランドパッド

ドとグランド配線で接続された外部接続用のグランドバンプと、前記信号パッドと信号配線で接続された外部接続用の信号バンプとを備えた半導体装置において、前記信号配線の両側には前記電源配線または前記グランド配線が隣接して配設されていること。

【0011】(2)：半導体素子の一主面側に形成された複数のパッドと、複数のバンプと、前記パッドと前記バンプを接続する複数の配線を備えた半導体装置において、前記複数のパッドは、電源パッドとグランドパッドと信号パッドからなり、前記複数のバンプは、電源バンプとグランドバンプと信号バンプからなり、前記複数の配線は、電源配線とグランド配線と信号配線からなり、前記信号配線の少なくとも一部分の両側に隣接して前記電源配線または前記グランド配線が形成されていること。

【0012】(3)：(1)または(2)において、前記グランド配線と前記信号配線とはいずれも前記半導体素子の一主面に形成された数Nの層を介して配設されていること。

【0013】(4)：(1)または(2)において、前記電源配線と前記グランド配線と前記信号配線とはいずれも前記半導体素子の一主面に形成された数Nの層を介して配設されていること。

【0014】(5)：(1)乃至(4)のいずれかにおいて、前記電源配線の幅及び前記グランド配線の幅が前記信号配線の幅よりも広いこと。

【0015】(6)：(5)において、前記半導体素子の一主面の外周側領域を覆うように前記電源配線または前記グランド配線が配設されていること。

【0016】(7)：電源電位を供給するための電源パッドと、グランド電位を供給するためのグランドパッドと、信号を入出力するための信号パッドとが一主面に形成された半導体素子と、前記電源パッドと電源配線で接続された外部接続用の電源バンプと、前記グランドパッドとグランド配線で接続された外部接続用のグランドバンプと、前記信号パッドと信号配線で接続された外部接続用の信号バンプとを備えた半導体装置において、前記電源配線の幅及び前記グランド配線の幅は前記信号配線の幅よりも広く、前記半導体素子の一主面の外周側領域を覆うように前記電源配線または前記グランド配線が配設されていること。

【0017】(8)：電源電位を供給するための電源パッドと、グランド電位を供給するためのグランドパッドと、信号を入出力するための信号パッドとが一主面に形成された半導体素子と、前記電源パッドと電源配線で接続された外部接続用の電源バンプと、前記グランドパッドとグランド配線で接続された外部接続用のグランドバンプと、前記信号パッドと信号配線で接続された外部接続用の信号バンプとを備えた半導体装置において、前記半導体素子の一主面の中央部には、前記半導体素子の外

縁部の一辺に沿う方向に1つの前記電源パッド、1つの前記グランドパッド、1つの前記信号パッドという順序の繰り返しでパッドが配設されたパッド列があり、前記1つの電源パッドは前記パッド列の両側に配設された少なくとも2個の前記電源バンプと前記電源配線により接続され、前記1つのグランドパッドは前記パッド列の両側に配設された少なくとも2個の前記グランドバンプと前記グランド配線により接続され、前記1つの信号パッドは前記パッド列の両側のいずれかに配設された前記1つの信号パッドと前記信号配線により接続されていること。

【0018】(9)：電源電位を供給するための電源パッドと、グランド電位を供給するためのグランドパッドと、信号を入出力するための信号パッドとが一主面に形成された半導体素子と、前記電源パッドと電源配線で接続された外部接続用の電源バンプと、前記グランドパッドとグランド配線で接続された外部接続用のグランドバンプと、前記信号パッドと信号配線で接続された外部接続用の信号バンプとを備えた半導体装置において、前記半導体素子の一主面の中央部には、前記半導体素子の外縁部の一辺に沿う方向に1つの前記電源パッド、1つの前記グランドパッド、2つ以上の前記信号パッドという順序の繰り返しでパッドが配設されたパッド列があり、前記1つの電源パッドは前記パッド列の両側に配設された少なくとも2個の前記電源バンプと前記電源配線により接続され、前記1つのグランドパッドは前記パッド列の両側に配設された少なくとも2個の前記グランドバンプと前記グランド配線により接続され、前記2つ以上の信号パッドの各々は前記パッド列の両側に配設された前記信号パッドと1対1で前記信号配線により接続されており、前記信号配線は、前記パッド列の両側に交互にのびていること。

【0019】(10)：(8)または(9)において、前記電源配線と前記グランド配線と前記信号配線とはいずれも前記半導体素子の一主面に形成された数Nの層を介して配設されており、前記電源配線の幅及び前記グランド配線の幅が前記信号配線の幅よりも広いこと。

【0020】(11)：(8)または(9)において、前記信号パッドは、データ、クロック、ライトイネーブル、データマスクの内の何れか1種類かまたは2種類以上の任意の組み合わせであること。

【0021】

【発明の実施の形態】以下、本発明の実施例を図面を用いて説明する。図1は、本発明の第1の実施例である半導体装置のパッド形成面の平面図である。本半導体装置1000は、図2の断面図に示した数ミリないし数十ミリの辺を持つ概略長方形のシリコンチップからなる半導体素子1100のパッド形成面2000上に、複数のパッド1001と、バンプ形成部1004と、複数のバンプ1002と、これらを接続する複数の配線1003か

ら構成されている。これらは、さらに、電源パッド1001a、グランドパッド1001b及び信号パッド1001cと、電源バンパ1002a、グランドバンパ1002b及び信号バンパ1002cと、電源配線1003a、グランド配線1003b及び信号配線1003cとに大別できる。なお、本図に描くように、他の図面においても、電源、グランド、信号の各バンパ、パッド、配線を区別しやすいように、電源、グランドの上記構成要素についてはハッチングを施してある場合がある。本実施例においては、電源配線1003aとグランド配線1003b以外の信号配線1003cに関しては、半導体装置の左側にある信号配線の少なくとも一部分の両側に隣接してグランド配線1003bを、半導体装置の右側にある信号配線の少なくとも一部分の両側に隣接して電源配線1003aを、それぞれ配置したものである。これらの配線幅は、10 μ mないし100 μ m程度が一般には用いられる。

【0022】断面構造は図2(A)、(B)、(C)に概略示すように、半導体素子1100の上に、素子の保護のための酸化シリコン層1101または窒化シリコン層1102、信号配線1003cを半導体素子と絶縁するための第一の誘電体層1103、半導体素子1100と半導体装置1000を搭載する実装基板を、信号パッド1001cと、信号バンパ1002cを介して電気的に接続するための信号配線1003c、半導体素子1100のグランドパッド1001bと実装基板を、グランドバンパ1002bを介して電気的に接続するためのグランド配線1003b、また、図2では示していない電源配線1003c、配線1003、パッド1001、半導体素子1100を保護し、実装基板と絶縁するための第二の誘電体層1104、バンパ1102を形成する土台となるバンパ形成部1104が積層されているものである。ここで、信号配線1003cと電源配線1003aとグランド配線1003bは、同一の工程で形成されるため、製造工程が複雑になることはない。ここで窒化シリコン層1102は、1から2 μ m程度の厚さで特に好ましくは1.3 μ m程度の厚さにプラズマプロセスにより形成し、第一の誘電体層は、窒化シリコンもしくは感光性PIQなどの有機絶縁体を用い、3から7 μ mの厚さで特に好ましくは5 μ m程度の厚さで、第二の絶縁層は感光性PIQなどの有機絶縁体を用い、3から7 μ mの厚さで特に好ましくは5 μ m程度の厚さで形成することが好適である。また、パッド1001はアルミニウムを主体として0.6から1 μ m程度の厚さに、配線1003は、半導体素子に近い側からクロム0.1 μ m、銅3 μ m、クロム0.05 μ mの積層構造か、または、アルミニウムを主体として、0.8から1 μ m程度の厚さに形成するのが好適である。バンパ形成部1004は、半導体素子に近い側からクロム0.05 μ m、ニッケルとタングステンの合金2 μ m、金0.05 μ mで形

成するのが好適である。バンパ1002ははんだが用いられる。また、図示していないが、特開平9-260389に開示されているように、バンパ形成部1004において、最表面部の金を導体全面に形成するのではなくて、バンパ1002とバンパ形成部1004の接触部分にのみ円形に形成しても良いのは当然である。図2

(C)は、配線層を前記のアルミニウム主体の積層構造とし、保護層を酸化シリコン層で形成したものであるが、本実施例では、前記酸化シリコン層が、(A)および(B)における、窒化シリコン層1102と第一の誘電体層1103を兼ねている。この場合、シリコン酸化層1101は0.1から1 μ m程度の厚さで特に好ましくは0.3 μ m程度の厚さにプラズマプロセスにより形成するのが望ましい。また、本実施例では、配線の上に重なる誘電体層は、感光性PIQからなる第二の誘電体層と窒化シリコン層1105の2層からなっている。

【0023】図2に示すように、本発明においては、電源配線またはグランド配線とこれ以外の信号配線は同一の面内に形成してある。

【0024】次に、本実施例に示す半導体装置の目的とするところである、高速動作を、本願発明がいかに可能とするかを説明する。

【0025】図3は、半導体装置における、出力バッファ付近を等価回路として示したものである。ここで、特に、データピン2の電位がロウの状態（グランド電位）からハイの状態（電源電位）に遷移する場合を考える。このとき、出力バッファ最終段4を構成するトランジスタの内、電源側のトランジスタが導通状態となり、電源ピン1からデータピン2へ出力バッファ最終段を経由して電流100が流れる。この電流は、データピン2に接続される負荷を充電し、このピンの電位をロウからハイへと切り替えるものである。同時に、電源ピン1から出力バッファ最終段4を経由してグランドピン3へと電流101が流れる。この電流は、一般に貫通電流と呼ばれ、半導体装置にとっては望ましいものではないが、バッファが切り替わる際に、バッファを構成しているトランジスタがなかば導通状態になる狭い時間範囲に電源からグランドへ流れる電流として理解されている。データピン2の状態が逆にロウからハイに遷移する際には、図3において電流100に相当するものは、図3とは異なり、データピン2からグランドピン3へと流れ、電流101に相当するものは、図3と同じく、電源ピン1からグランドピン3へと流れることは言うまでもない。

【0026】このように、半導体装置の信号ピンの内、データピンの電位の遷移に伴い、例えば図3に示するような電流が過渡的に流れることとなる。重要なのは、このような過渡電流が流れると、電流経路に沿った各ピンのインダクタンスと前記過渡電流の時間変化率に比例したノイズ電圧が生じることである。このため、ノイズは動作速度つまり動作周波数を増すにつれて大きくなり、あ

るインダクタンスの値に対して動作可能な上限の周波数が存在する。この上限を大きくするためには、インダクタンスを可能な限り低減することが必要である。例えば、先に、従来の技術としてふれた半導体装置は、半導体装置の寸法が比較的小さいため、リードフレームを用いた半導体装置に比べ小さいインダクタンスを持つはずである。本発明では、それらと概略同一の寸法でありながら、より小さいインダクタンスを持つ半導体装置を提供する。これを理解するためには、図3の過渡電流100が影響を受けるインダクタンスはデータピン2のインダクタンス12と電源ピン1のインダクタンス11および図示していない電源ピン1とデータピン2の相互インダクタンスMから求められる実効的インダクタンスであることを知る必要がある。たとえば電源ピンのインダクタンスがL1、データピンのインダクタンスがL2、これらの間の相互インダクタンスがMであれば、図3に示した過渡電流100の経路に関する前記実効インダクタンスは一般に $L1 + L2 - 2 \times M$ と表される。ノイズは電流経路のインダクタンスつまり前記実効インダクタンスに比例するので、データピンのインダクタンスL2と電源ピンのインダクタンスL1が変化しない条件では、これらの間の相互インダクタンスMを大きくすることにより全体の実効インダクタンスを低減可能である。図3の貫通電流101に対しても同様の議論が成り立つことは明らかであり、この場合は、電源ピン1とグランドピン3の間の相互インダクタンスを大きくすることにより全体の実効インダクタンスを低減可能である。

【0027】図4は、半導体装置における、アドレスピン6と入力バッファ付近を等価回路として示したものである。ここで、特に、アドレスピン6の電位がロウの状態（グランド電位）からハイの状態（電源電位）に遷移する場合を考える。この場合も、遷移に伴い、アドレスピン6から入力バッファ5を経て電源ピン1ならびにグランドピン3へと流れる過渡電流102と、電源ピン1からグランドピン3へ流れる貫通電流103が生じる。前者は、入力容量を充電するための、後者は先に説明したバッファ切り替えに伴う過渡電流である。従って、信号ピンの内、アドレスピンなどの入力ピンにおいても、信号の切り替わりに伴った過渡電流が生じ、この過渡電流と電流経路に沿った導体のインダクタンスによりノイズが生じることはデータピンと同様であり、これを低減するための手法も同様である。

【0028】一般のプリント配線板などでは実効インダクタンスの低減を達成するために、全体を多層基板で構成し、信号線の直下にグランドまたは電源を薄板状の導体で形成し、前記実効インダクタンスの低減を図る。しかしながら、本願発明が対象としている半導体装置では、そのような多層構成を採ることはコスト上の制約から困難であり、電源、グランドを含んだ配線層は一層構成としたい。このため、例えば図1のような構成をとる

ことにより、電源またはグランド配線と信号配線の距離を縮小することができ、従って電源またはグランド配線と信号配線を合わせた系の実効インダクタンスを低減することが可能である。

【0029】図1に示す実施例では、特に信号配線1003cと電源配線1003aまたは信号配線1003cとグランド配線1003bの実効インダクタンスを低減するために、電源配線1003aとグランド配線1003bをメッシュ状として信号配線1003cの周囲に配置したものである。ここで重要なのは、信号配線の周囲に配置した導体が、図3と図4に示すような半導体素子内の出力バッファ4、入力バッファ5における電源とグランドを、半導体装置が実装される実装基板の電源とグランドに電気的に接続する電流の経路とする事である。このため、図1の信号配線1003cの周囲の導体は、電源配線1003aについては、電源パッド1001aと電源バンク1002aに、グランド配線1003bについては、グランドパッド1001bとグランドバンク1002bにそれぞれ接続している必要がある。

【0030】図5は、本発明における他の実施例の半導体装置の平面図を示す。本実施例では、電源、グランド以外の信号配線の少なくとも一部分の両側に隣接して、一方の側には電源配線1003aと電源パッド1001aおよび電源バンク1002aを、もう一方の側にはグランド配線1003bとグランドパッド1001bおよびグランドバンク1002bを配置したものである。このような配置をとることにより、図1に示した実施例に比べ、幾分パッド、配線、バンク数が増加するものの、全ての信号線が電源、グランドに挟まれる構造となる。このため、信号線1003cの電位の遷移に伴う電源、グランドに生じる過渡電流は、遷移がいかなる方向に起こる場合でも、当該信号線に隣接している電源配線1003aまたはグランド配線1003bを流れるため、これらの電流経路の実効インダクタンスを充分小さくすることができる。また、このような構造を採ることにより、図4で示したアドレスピンの電位の遷移に伴い電源ピンとグランドピン双方に生じる過渡電流の経路に沿った実効インダクタンスを、電源またはグランド配線の一方だけが信号線に隣接して生じる場合に比べ小さくすることが可能である。

【0031】図6に示すのは、図5に示した実施例において問題となりやすいパッド、バンク、配線の増加を抑えるための構造を採った実施例の平面図である。このように、全ての信号配線1003cの少なくとも一部分の片側に隣接して電源配線1003aかまたはグランド配線1003bのどちらか一方を形成することにより、図5に示した実施例に比べ、過渡電流が流れる経路の実効インダクタンスはやや大きくならざるを得ないが、合計のピン数を少なくできる利点がある。実際、本実施例は、図5の実施例と同じ数の信号ピンを持つが全ピン数

は少ない。

【0032】ここまで説明してきた実施例では、電源配線1003a、グランド配線1003bは、信号線と配線幅などが同等であることを前提としてきたが、図7及び図8に示す本発明の他の実施例のように、電源配線、グランド配線の配線幅を信号線に比べ大きいものとし、図5、図6の実施例では独立して複数個存在する電源配線、グランド配線をそれぞれ接続することにより、電源、グランドの実効インダクタンスのさらなる低減が可能である。また、半導体素子の遮光という利点も生じる。一般にシリコンなどを主体とした半導体素子は、赤外光への暴露により誤動作を起こすことが知られている。本実施例に示すように、半導体素子の活性部分と赤外光にさらされやすい周辺部を電源配線、グランド配線により被うことにより、誤動作を低減できる。さらに、はんだなど重金属を含んだ部材から放射されるアルファ線を本実施例のベタ層に近い電源、グランド配線により遮蔽することができるので、アルファ線による半導体装置の誤動作を防止できる利点もある。

【0033】本実施例のような、ベタ層に近い導体を、半導体装置1000のパッド形成面2000上に設ける場合、シリコンチップからなる半導体装置1000の最外周部からやや内側に入った部分に形成するのが望ましい。本実施例の半導体装置は、シリコンウェハ上で、一括して半導体素子やパッド、配線、バンパなどを形成した後、スクライブラインに沿って各チップに切断される。この際、切断のためのブレードがシリコンチップのみならず本発明の半導体装置のグランド層や電源層など金属層を切断すると、ブレードが損傷しやすく、また切断時の金属層からバリが生じ、剥離の原因になってしまう。これを回避するためには、本実施例に示すように、導体層は、スクライブラインの逃げ1900を半導体装置最外周部に設け、その内側に形成することが望ましい。

【0034】導体層の付着性を向上し信頼性を増すためには、面積の大きい導体層を形成する際には、導体層の付着性を向上させるための穴1901を面内に設けることが望ましい。この穴は、付着性を向上させるとともに、界面に発生するガスを抜く効果もある。これを設ける場合には、電流の流れを妨げることがないように、大きさを小さいものにするか、パッドとバンパを流れる電流を妨げにくいように、電流方向に沿って長く伸びた形にするのが好適である。

【0035】図7に示す実施例では、電源配線又はグランド配線のどちらか一方の配線幅を信号配線に比べ拡大することによりベタ層に近い導体としたものであり、特に図7ではグランド配線に対し上記構造を適用したものを示している。本構造により、グランド配線の実効インダクタンスを低減することができるとともに、遮光性の向上、アルファ線に対する遮蔽層などの利点が生じる

が、図8に示すように、グランド配線、電源配線双方の配線幅を拡大し、ベタ層に近い構造とすることにより、さらなる利点が生じる。図3で説明したように、データの切り替わり方向により、過渡電流は信号配線のほか、電源配線を流れたり、グランド配線を流れたり、あるいはその両方を流れたりする。このため、図8のように、電源配線、グランド配線の双方を平等に扱い、双方とも配線幅を拡大することにより、いかなる信号の切り替わりに対しても過渡電流経路に沿った経路の実効インダクタンスを低減することができる。

【0036】さらに、本実施例のように、電源配線、グランド配線を薄板状に拡大し、半導体装置のパッド形成面を被い、電源配線1003aとグランド配線1003bを接近して配置することにより、高周波特性に優れたパスコンデンサを構成できるという利点がある。一般の半導体装置では、図9に示すように、半導体装置の電源ピン、グランドピンから実装基板100上に電源配線102およびグランド配線103を引き出し、パスコンデンサとして小型のチップコンデンサを基板上に配置し上記配線と電気的に接続している。このため、半導体装置からチップコンデンサへ至る経路が長く、この経路の実効インダクタンスが比較的大きいものになってしまう。従って、チップコンデンサ単体としての周波数特性は良好であっても、通常周波数が数十MHz以上のノイズに対しては、パスコンデンサとしての役割を果たすことができなくなる場合が多い。本発明によるパスコンデンサは、電源配線1003aとグランド配線1003bそれぞれ自体で構成されることになるので、パスコンデンサと半導体装置間の実効インダクタンスは格段に小さいこととなる。このため、通常使用されるチップコンデンサの概略十倍程度の周波数までパスコンデンサとしての役割を果たすことが可能である。ここで注意しなければならないのは、本実施例により構成されたパスコンデンサは数pF程度の容量であり、一般に0.1から数μF程度の容量のものが使用されるチップコンデンサに完全にとって代わるものではないことである。従って、実装基板上で本実施例の半導体装置を使用する場合にも通常のチップコンデンサを使用することになる。しかし、小さい実効インダクタンスで半導体装置の電源、グランドに接続された本実施例の半導体装置が持つパスコンデンサと、通常の容量は大きいが高周波特性の落ちるチップコンデンサが並列に接続されることにより、広い周波数範囲でノイズの低減が可能になる。

【0037】なお、本実施例は、電源配線とグランド配線が巨大な一枚の薄板状ではなく、面内に多くの切れ込みを持ち、電源配線とグランド配線が相互に入り組んだ構造となっているため、配線層形成に伴う内部応力の低減に役立ち、従って前記内部応力に起因する導体層の剥離などを防止する効果がある。更に導体層の付着性を向上し信頼性を増すためには、面積の大きい導体層を形成

する際には、導体層の付着性を向上させるための穴1901を面内に設けることが望ましい。これを設ける場合には、電流の流れを妨げることがないように、大きさを小さいものにするか、パッドとバンパを流れる電流を妨げにくいように、電流方向に沿って長く伸びた形にするのが好適である。また、また、この穴は、界面に生じるガスを抜く効果もある。

【0038】図7および図8の実施例は、特開平6-163822号公報に開示されている半導体装置において示されることの無かった、パッド、バンパがチップ表面に多数存在している場合に、いかに面状の電源層、グランド層を配置するかという問題点を解決するための手法である。また、図8は、同じく特開平6-163822号公報に開示されている半導体装置において考慮されることの無かった、電源配線、グランド配線の双方に生じるノイズを低減する構造を提供するものである。

【0039】図10は、半導体装置の内メモリデバイスに用いられることの多い、中央付近に1列のパッド列を持ったセンターパッドの半導体装置における本発明の他の実施例である。本実施例では、前記中央付近の1列のパッドを、電源パッド1001a、グランドパッド1001b、少なくとも1個の信号パッド1001cという順序で繰り返す構造となっている。さらに、電源パッド1001aとグランドパッド1001bからの配線は左右両側に引き出し、それぞれ対応する電源バンパ1002aとグランドバンパ1002bにおおの2カ所で接続されるようにしてある。このような構成にすることにより、全ての信号配線1003cは電源配線1003aとグランド配線1003bに挟まれることになるので、先に他の実施例で示したように、信号線1003cの電位がどのような状態に遷移しても電源配線1003aかグランド配線1003bのうち隣接するものに過渡電流が流れるため、過渡電流の経路の実効インダクタンスを低減でき、従って、低ノイズで高速動作可能な半導体装置を提供可能である。

【0040】図11は、前記実施例の、電源配線1003aとグランド配線1003bの配線幅を拡大し、さらに電源バンパ1002aとグランドバンパ1002bのうち、相互に接続可能なものをお互いに接続したものである。その際、最外部にある電源バンパ1002a、グランドバンパ1002bの数を減少させることにより、信号バンパ1002cにより実装基板上に接続された信号配線が、実装基板の表層配線1500を経由して外部に引き出しやすい構造になっている。通常、実装基板上の配線は、本実施例のような半導体装置上の配線に比べ、配線幅、配線ピッチも大きいものとなるので、半導体装置最外部に多数の電源バンパ、グランドバンパが存在した場合、実装基板の表層の配線を用いて前記バンパの間を通して信号配線を引き出すことが困難になる場合もある。本実施例の構造により、半導体装置から実装基板上

に信号配線を引き出すために、実装基板中でスルーホールと内層を使わずにすみ、実装基板の低コスト化を達成できる。なお、本実施例のように、最外部の電源バンパ1002aやグランドバンパ1002bの数を減少させても、電源バンパ、グランドバンパそれぞれを配線幅の大きい電源配線、グランド配線により相互に接続しているため、過渡電流経路に沿った実効インダクタンスは十分に小さい。また、赤外光を含んだ光が入射しやすい半導体装置の外周部を薄板状の電源配線、グランド配線で被う構造となっているため、誤動作を防止する効果がある。更に、本実施例のように、電源配線1003a、グランド配線1003bの配線幅を拡大することで、放熱性の良い半導体装置を提供できる利点もある。図11に示すように、放熱性能向上のためのバンパ1002dを必要に応じて電源配線1003a又はグランド配線1003b上に配置できるので、予想される発熱量に対応してバンパ配置が可能な部分が存在するだけ前記放熱のためのバンパを配置できる。本実施例で示す前記放熱性能向上のためのバンパは、配線幅の大きい電源配線1003a、グランド配線1003bと電源パッド1001a、グランドパッド1001bを介して半導体素子と接続されていること、半導体素子の外周部に設置可能なことから、半導体素子と電気的に接続されていないダミーバンパを放熱のために設けたり、信号バンパを放熱のために利用する手法に比べ、より大きい放熱性能の向上が期待できる。更に付言するならば、放熱性能向上のために付加されたバンパ1002dの内、半導体装置の外周部特に概略長方形の半導体装置の角部付近に付加されたバンパは半導体装置の機械的信頼性向上にも効果がある。一般に、半導体装置がシリコンを主体としたものであるのに対し、実装基板は有機材料主体であることが多いため、実装基板に半導体装置を実装した状態では、熱膨張係数の差に起因したストレスが、半導体装置と実装基板との接合部分であるバンパ特に角部のバンパに誘起される。このストレスによりバンパの材料として通常使用されている半田にクラックが入り電気的接続が維持されなくなるという障害が生じることがある。本実施例で付加された放熱性能向上のためのバンパ1002dは、それが角部にあることにより、放熱性能向上のみならず、補強の役割を果たすことにより、半導体装置の機械的信頼性向上という利点をもたらす。

【0041】本実施例は、半導体装置1000がそれぞれ1種類の電源とグランドを持つことを前提としてきた。しかし、最近の半導体装置では、例えば、出力バッファ用の電源、グランドと、それ以外の電源、グランドを別々に必要としたり、異なる電圧の複数の電源を必要とする場合がある。このような場合にも本発明は有効である。図12に半導体装置が出力バッファ用の電源、グランドと、それ以外の電源、グランドを別のパッドで持つ場合に本願発明を適用した例を示す。本実施例は、前

記出力バッファ用の電源パッド、グラウンドパッドと回路用の電源パッド、グラウンドパッドに対応して、それぞれ出力バッファ用の電源配線2003a、出力バッファ用のグラウンド配線2003bと回路用の電源配線3003a、グラウンド配線3003bを個別に持つようにしたものである。その際、出力バッファつまりデータピンのパッドは、図中上半分に配置し、これに対応して出力バッファの電源配線2003a、出力バッファのグラウンド配線2003bおよびこれら配線に接続する電源バンク1002a、グラウンドバンク1002bも上半分に配置している。一方、データピン以外の信号ピンのパッド、例えばアドレスパッドなどは、図中下半分に配置し、これに対応して、出力バッファ以外の回路にパッドを介して接続している電源配線3003a、グラウンド配線3003bおよびこれら配線に接続する電源バンク1002a、グラウンドバンク1002bも下半分に配置している。このように配置することにより、半導体装置の半導体素子内部で出力バッファ最終段4に接続しているデータピン2と、出力バッファ最終段4に接続している電源ピン1、グラウンドピン3が接近して配置されるので、過渡電流経路の実効インダクタンスを低減でき、従って低ノイズで高速な動作が可能な半導体装置を提供できる。

【0042】図13は、本発明の他の実施例の平面図である。本実施例では、図11、図12などで示した実施例が、すべての信号線の両側にそれぞれ電源配線とグラウンド配線を配置する構造のため、過渡電流が流れる経路の実効インダクタンスを低減でき、低ノイズで高速動作が可能であるものの、一方、半導体装置のパッド1001、バンク1002、配線1003の数が増加しやすいという問題を克服する。本実施例では、半導体装置1000の概略中央に配置したパッド1001の並びを、電源パッド1001a、グラウンドパッド1001b、4個の信号パッド1001cの基本パターンが繰り返されるものとし、任意の信号線について、左右に隣接する配線の内少なくとも一方は電源配線1003aまたはグラウンド配線1003cであるように形成したものである。本実施例においては、信号線の両側に電源配線とグラウンド配線の内どちらか一方のみが隣接して存在するため、両側に電源配線とグラウンド配線双方が存在する場合に比べ過渡電流経路の実効インダクタンスはやや大きくなるが、パッド、配線、バンクの数を低減できるため、半導体装置の面積を低減でき、より小型で低価格な半導体装置を提供できる。なお、図中、配線1003によりパッドに接続されていないバンク1002が描いてあるが、このバンクは、半導体装置内部に電気的には接続されないバンクである。

【0043】本図中4000は、半導体素子上のヒューズ部分を露出させるための開口部を示す。一般にメモリデバイスにおいては、製造時の歩留まりを考慮して、規

定の容量よりも多数個のメモリセルをシリコンチップ上に形成し、これらの余分なメモリセルも全てパッドに接続する構造となっている。そして、メモリデバイスのテスト段階で、不良となったメモリセルを含むブロックからパッドへ至る配線をレーザー光などの照射により切断し、規定容量のメモリデバイスを取得するようになっている。この、レーザー光照射により配線を切断するための領域をヒューズと呼ぶ。このため、本実施例に示す半導体装置をメモリデバイスに適用する際には、レーザー光により半導体素子上の配線を切断できるように、配線を構成する導体がヒューズ部分を避けるようにしなければならない。このための領域として半導体素子上のヒューズ部分を露出させるための開口部4000を、特に面積の大きい電源配線またはグラウンド配線に設ける必要が生じる場合がある。なお、この領域は、必ずしも穴状の開口部である必要はなく、幾何学的レイアウトが可能であれば、単にヒューズ領域を導体が避ける構造であれば良いのは当然である。

【0044】図14に示すのは、上記実施例と異なる手法でピン数の増加を低減しつつ、過渡電流経路の実効インダクタンスが低減でき、低ノイズで高速動作可能な半導体装置を提供するための実施例である。本実施例では、半導体装置の信号ピンの内、切り替わりの頻度が高く、その際に生じる過渡電流も大きいデータ、クロック、ライトイネーブル、データマスクの各ピンに対応するパッドを半導体装置のパッド形成面2000の特定の領域に配置し、これらのパッドに対しては、電源パッド1001a、グラウンドパッド1001b、2個の信号パッドという順序で配置したものである。これに対して、前記特定の信号以外のもの、例えば、アドレス、クロックイネーブル、カラムアドレスストロブ、ロウアドレスストロブなどの信号ピンは、切り替わりの頻度が低く、生じる過渡電流が小さいため、電源パッド、グラウンドパッドの配置個数を減らしてある。このため、ノイズを発生しやすく、高速化の妨げとなり易い、データ配線については、過渡電流経路の実効インダクタンスを低減しつつ、半導体装置全体としては配線、バンク、パッド数を低減できるので、高速動作を達成しつつ小型化低価格化が可能である。

【0045】図15は、本発明の他の実施例の断面図を示す。本実施例は、これまでの実施例では、はんだなどからなるバンクの形成部1004のみに使用していた導体層を、面積を拡大し、薄板状の導体としてグラウンド配線または電源配線として利用するものである。本図では、バンク形成部の導体の面積を拡大し、半導体素子1100からの高さが通常の信号配線1003cや電源配線1003a、グラウンド配線1003bとは異なる、別のグラウンド層5003としたものを示してある。もちろん、逆にこの導体を別の電源層としても良いのは当然である。本実施例では、信号配線1003c、電源配線1

003aは、第一の誘電体層上に形成してあり、グラウンド層は第二の誘電体層上に形成してある。また、本実施例のグラウンド層5003は、電源パッド1001a、信号パッド1001c、電源バンパ1002a、信号パッド1002cと電氣的に短絡しないよう、これらのパッド、バンパ部分の周囲には、プロセス精度に応じてグラウンド層の除去部分を形成してある。さらに、本実施例においては、バンパ形成部を利用した別のグラウンド層5003のバンパ周囲にバンパの位置、サイズを局限するための隙間5005を形成してある。これは、通常はんだなどで構成されるバンパが、その形成時、導体との付着性、濡れ性が良好なため、自由に流れ、拡がってしまい、バンパとしてその位置と形状が乱されるのを防ぐためである。図16に示すように、この隙間5005は、バンパの形状を概略休憩に保ち、応力集中部となる角部を作らないために、複数の円弧からなる形が好適である。本実施例では、4分の1の円弧を4個組み合わせた形としている。5006は、ガス抜きのための穴である。一般に感光性PIQの上に金属を成膜する際には、界面に発生するガスにより導体の付着性が悪化する。このため、ガス抜きのための穴を複数形成し、付着力の低下を防止することが望ましい。本実施例においては、第二のグラウンド配線をグラウンドパッドに接続するための第二の誘電体層の除去部分5005が必須となる。これは、第二のグラウンド配線をグラウンドパッドに接続するためのものである。

【0046】本発明の平面図である図16に示すように、本実施例によれば、半導体装置1000の主要配線面を、プリント配線板で使用されるような、2層の導体で形成できるので、信号配線、電源配線、グラウンド配線を同一平面上の導体で形成する場合に比べ、容易に実効インダクタンスをさらに低減することが可能になる。また、本実施例によれば、ほとんど隙間無く半導体装置のパッド形成面側をグラウンド層5004により被うことができるので、より遮光性に優れ、赤外領域の電磁波による誤動作のない半導体装置を提供可能である。さらに、配線層で電源配線を構成し、バンパ形成部の導体でグラウンド層を構成することにより、面積の大きい、従って容量の大きいバスコンデンサを構成することが可能である。これは先に述べたように、インダクタンスをほとんど持たない容量であるため、周波数特性の良好なバスコンデンサとなり、ノイズ低減による高速動作可能な半導体装置を提供することができる。

【0047】本発明の他の実施例を図19に示す。本実施例は、マイコンなどに多く利用される半導体装置の周辺部にパッドを配置したいいわゆる周辺パッドを具える半導体装置に本発明を適用した例を示す。このように、本発明を適用することにより、周辺部にパッドを具えた半導体装置においても、配線系のインダクタンスを低減し、高速動作を可能にできる。

【0048】

【発明の効果】本発明によれば、半導体装置の動作時に生じる過渡電流の経路に沿った実効インダクタンスを低減できるので、ノイズが少なく高速動作可能な半導体装置を提供することができる。また、赤外領域の光やアルファ線による誤動作の少ない信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例に係る半導体装置の配線パターンを示す平面図である。

【図2】 本発明の一実施例に係る半導体装置の断面図である。

【図3】 ノイズ発生の原因を示す等価回路図である。

【図4】 ノイズ発生の原因を示す等価回路図である。

【図5】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図6】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図7】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図8】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図9】 半導体装置とチップコンデンサの実装状況を示す斜視図である。

【図10】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図11】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図12】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図13】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図14】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図15】 本発明の他の実施例に係る半導体装置の断面図である。

【図16】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

【図17】 従来の技術による半導体装置の平面図である。

【図18】 他の従来の技術による半導体装置の平面図である。

【図19】 本発明の他の実施例に係る半導体装置の配線パターンを示す平面図である。

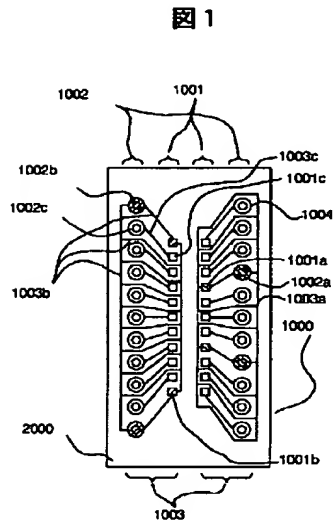
【符号の説明】

1000…半導体装置、1001…パッド、1002…バンパ、1003…配線、1004…バンパ形成部、1100…半導体素子、1900…スクライブラインからの逃げ、1901…穴、2000…パッド形成面、4000…ヒューズ部分を露出させるための開口部、500

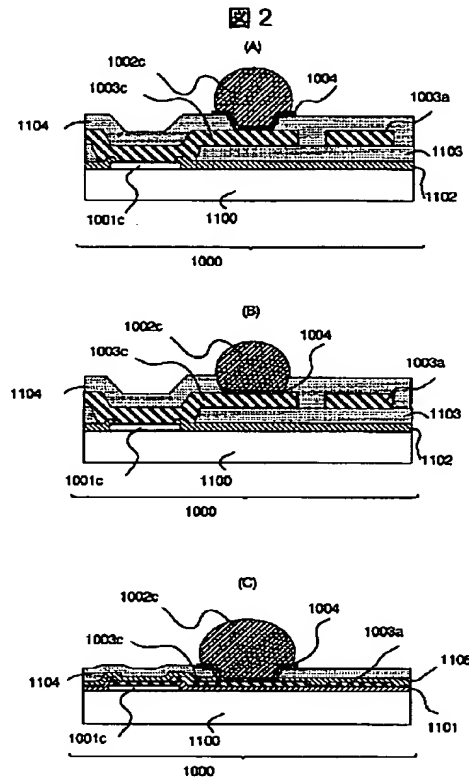
3…バンプ形成部の導体を利用した第二のグランド配線、5004…短絡防止のための第二のグランド配線の除去部分、5005…バンプの位置、サイズを局限する

ための隙間、5005…第二のグランド配線をグランドパッドに接続するための第二の誘電体層の除去部分。

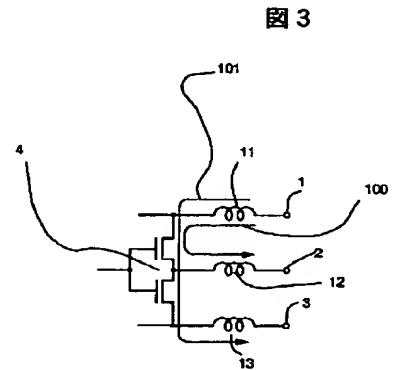
【図1】



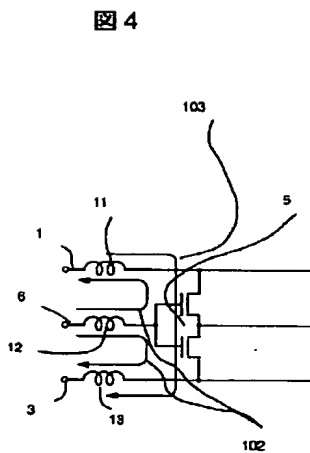
【図2】



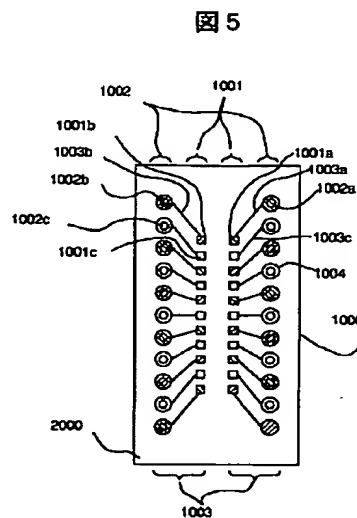
【図3】



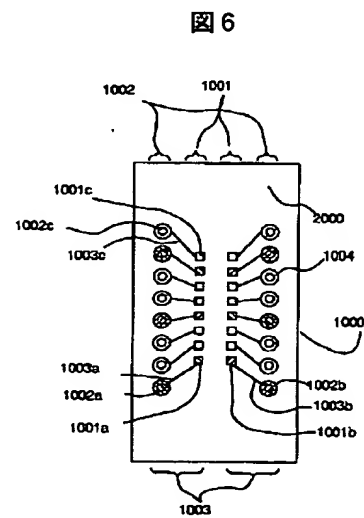
【図4】



【図5】

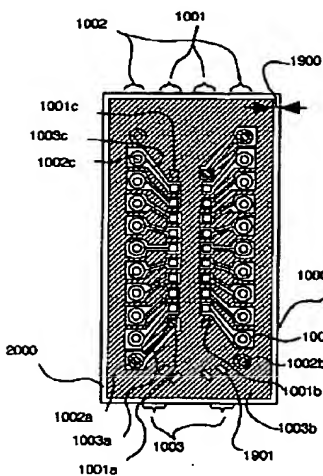


【図6】



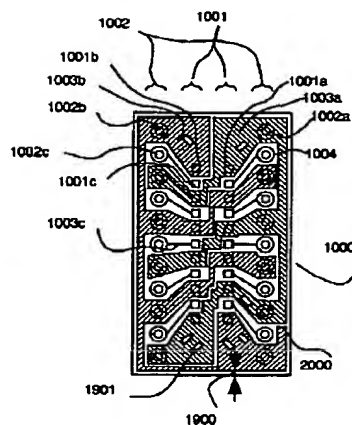
【図7】

図7



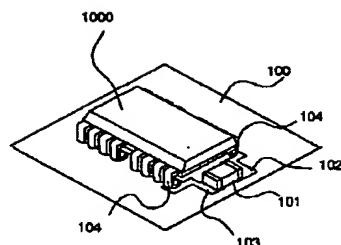
【図8】

図8



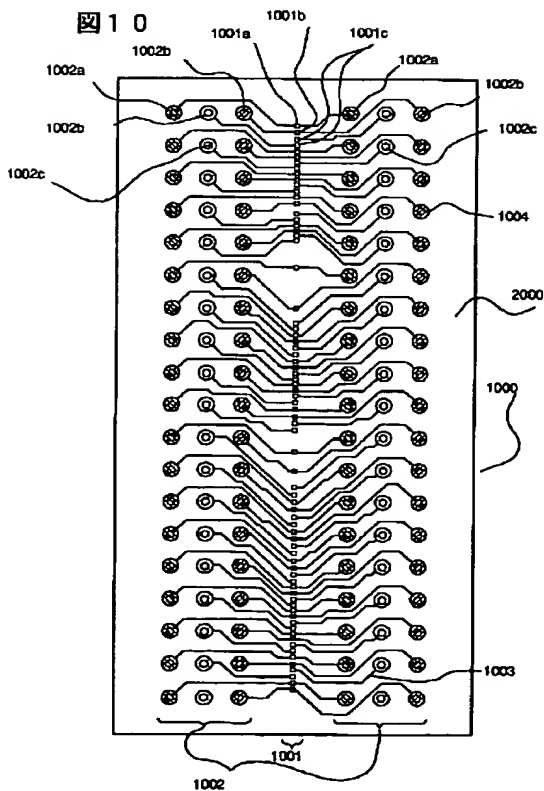
【図9】

図9



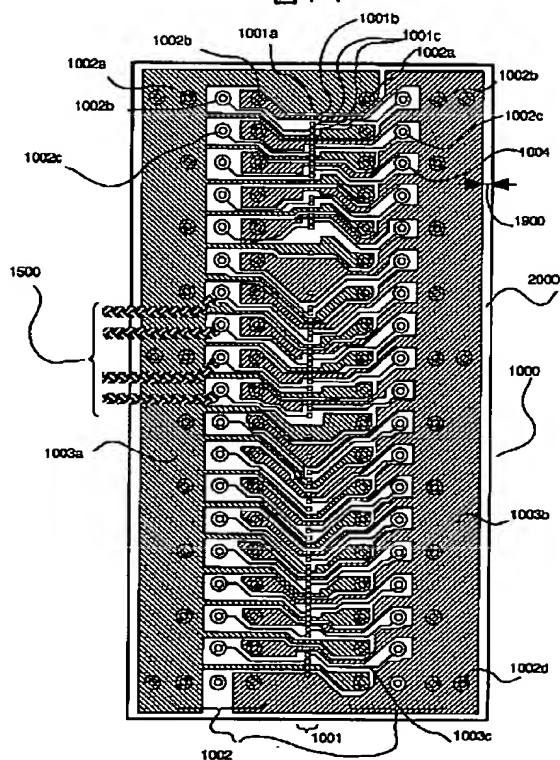
【図10】

図10

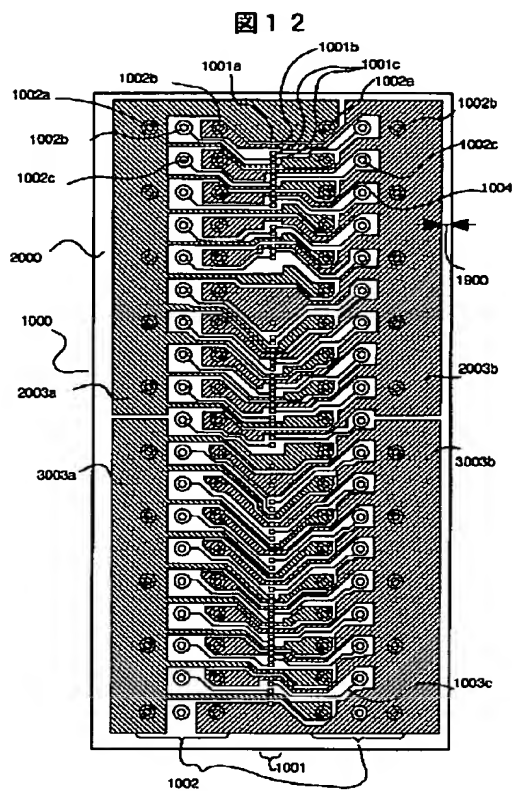


【図11】

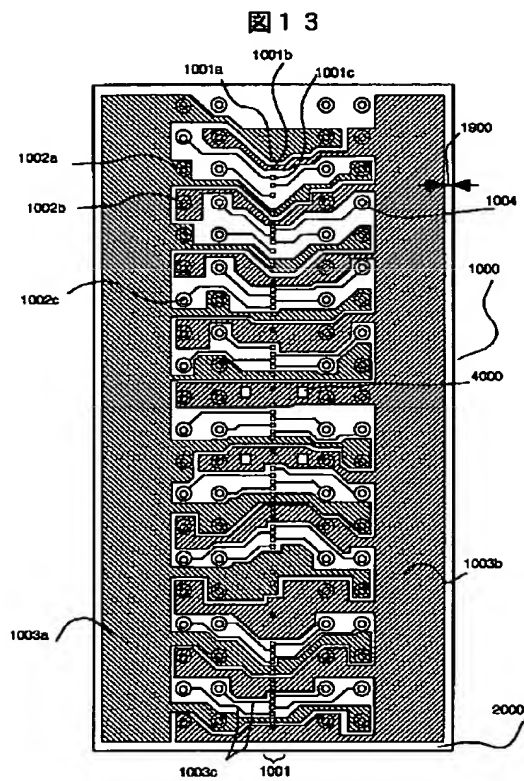
図11



【図12】

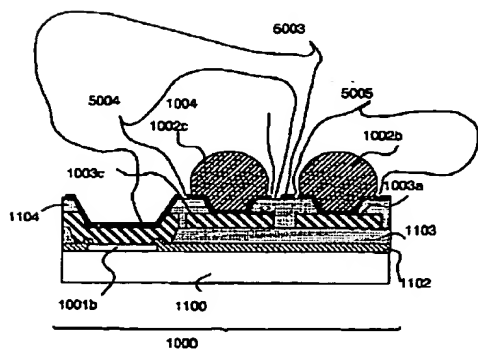


【図13】



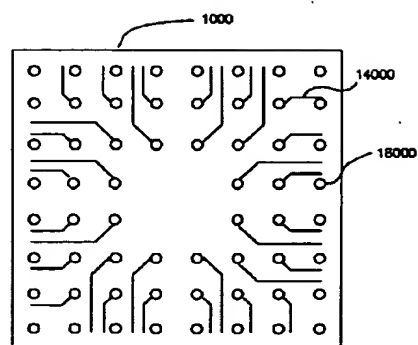
【図15】

図15

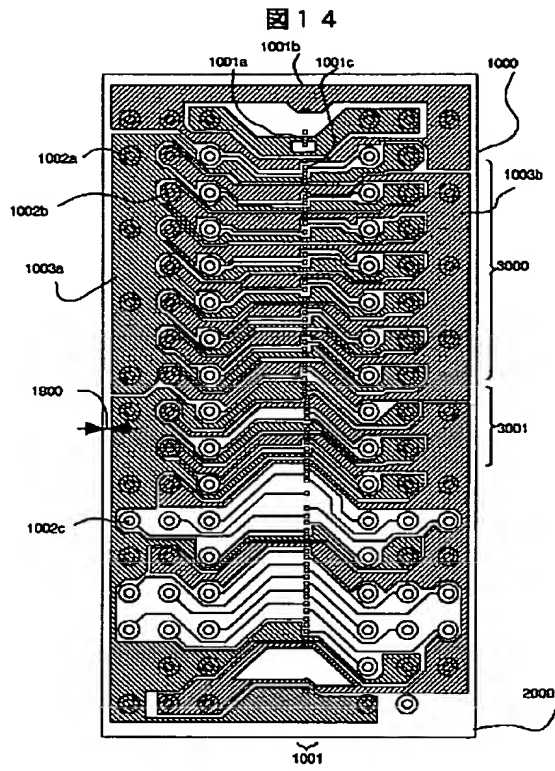


【図17】

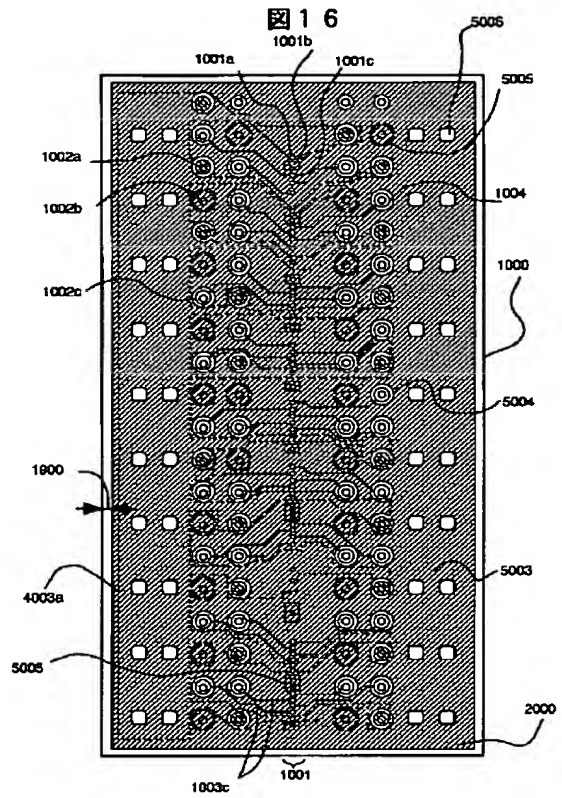
図17



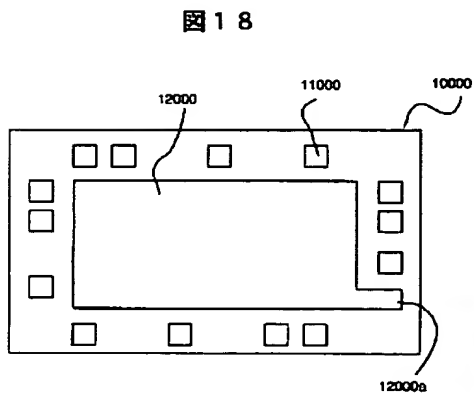
【図14】



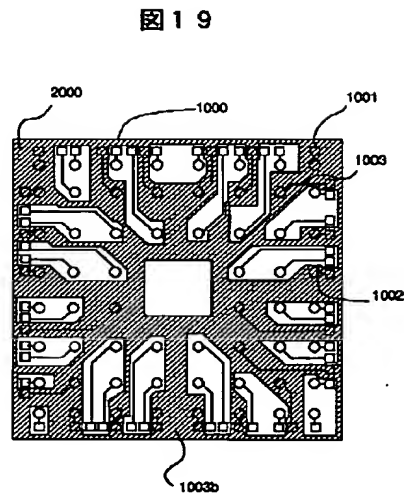
【図16】



【図18】



【図19】



フロントページの続き

(72)発明者 宮本 俊夫
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内
(72)発明者 田中 英樹
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業本部内

(72)発明者 三浦 英生
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内
Fターム(参考) 5F033 CA02 CA03 FA01
5F038 BE07 CA01 CA06 CA10 CD02
CD04 CD05 DF05